

(19) 日本国特許庁(JP)

(12) 特許公報 (B 2)

(11) 特許番号

特許第 3 0 4 5 0 7 4 号

(P 3 0 4 5 0 7 4)

(45) 発行日 平成12年5月22日 (2000. 5. 22)

(24) 登録日 平成12年3月17日 (2000. 3. 17)

(51) Int. Cl. <sup>7</sup>

識別記号

F I

H 0 1 P 5/08

H 0 1 P 5/08

K

L

3/16

3/16

5/02

6 0 7

5/02

6 0 7

H 0 3 F 3/60

H 0 3 F 3/60

請求項の数 7

(全 8 頁)

最終頁に続く

(21) 出願番号 特願平8-197641

(22) 出願日 平成8年7月26日 (1996. 7. 26)

(65) 公開番号 特開平10-41714

(43) 公開日 平成10年2月13日 (1998. 2. 13)

審査請求日 平成10年11月26日 (1998. 11. 26)

(73) 特許権者 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 石川 容平

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 坂本 孝一

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 山下 貞夫

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(74) 代理人 100084548

弁理士 小森 久夫

審査官 岸田 伸太郎

最終頁に続く

(54) 【発明の名称】 誘電体線路、電圧制御発振器、ミキサーおよび回路モジュール

1

(57) 【特許請求の範囲】

【請求項 1】 略平行な 2 つの導電体平面の間に誘電体ストリップと、該誘電体ストリップの間に挟み込まれた誘電体板を配し、該誘電体板に、誘電体線路を伝搬する周波数信号が遮断される広さを有する接地導体を形成するとともに、該接地導体にスロット線路を形成し、前記接地導体の、前記スロット線路の端部となる位置に、該スロット線路および前記誘電体ストリップの電磁界に結合する線路変換導電体パターンを設け、前記スロット線路を跨いで半導体素子を配置してなる誘電体線路。

【請求項 2】 前記スロット線路の両端となる位置に前記線路変換導電体パターンを設け、前記スロット線路の略中央に前記半導体素子を配置してなる請求項 1 に記載の誘電体線路。

【請求項 3】 前記線路変換導電体パターンと前記半導

2

体素子との間のインピーダンス整合をとる  $\lambda/4$  ショートスタブを前記スロット線路の途中に設けた請求項 1 または 2 に記載の誘電体線路。

【請求項 4】 前記線路変換導電体パターンと前記スロット線路との間に、インピーダンス整合回路を設けた請求項 1 ～ 3 のいずれか 1 項に記載の誘電体線路。

【請求項 5】 請求項 1 ～ 4 のうちいずれかに記載の誘電体線路を用いた電圧制御発振器。

10 【請求項 6】 請求項 1 ～ 4 のうちいずれかに記載の誘電体線路を用いたミキサー。

【請求項 7】 請求項 1 ～ 4 のうちいずれかに記載の誘電体線路、請求項 5 に記載の電圧制御発振器または請求項 6 に記載のミキサーを用いた回路モジュール。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】例えばミリ波帯やマイクロ波帯の回路モジュールにおいて、増幅回路や変調回路等を構成する誘電体線路に関する。

#### 【0002】

【従来の技術】従来よりミリ波帯での通信モジュールとして誘電体線路が用いられている。特に平行平板導波管の板間隔を半波長以下として、その中に誘電体ストリップを挿入した構造を有する非放射型誘電体線路（NRDガイド）は放射損がなく、小型化できることから、ミリ波集積回路などへの応用が研究されている。例えば、このような誘電体線路を用いて増幅回路等を構成する例が、ウィルキンソン，A，A，米山 務，「NRDガイド集積回路に用いるHEMT増幅器」電子情報通信学会春季全国大会，SC-2-2，（1990），P.2-627 に示されている。

【0003】このように、誘電体線路と半導体素子とを組み合わせる増幅回路を構成する場合、従来は半導体素子を誘電体線路の外側に配置し、誘電体線路を伝搬する信号をその誘電体線路の外へ取り出して、半導体素子で信号処理を行った後、再び誘電体線路に戻すようにしている。

#### 【0004】

【発明が解決しようとする課題】一般に、RF信号を半導体素子に対して入出力する際に、伝送線路と半導体素子との間の入出力回路でインピーダンス整合をとって、入出力の効率を向上させる必要があるが、半導体素子を誘電体線路の外側に配置する構造では、上記整合回路を含む入出力回路でRF信号の損失および歪みが生じ、また、半導体素子を含む外部回路と誘電体線路との寄生カップリングが発生し易く、その結果RF特性が劣化し、さらに回路構成も複雑であるため製作工程も極めて煩雑とならざるを得なかった。

【0005】この発明の目的は、上記入出力回路でのRF信号の損失や歪みの問題および寄生カップリングの問題を解消し、外部回路を付加することによる大型化、さらには製造コストの上昇を抑えた誘電体線路を提供することにある。

#### 【0006】

【課題を解決するための手段】この発明は、略平行な2つの導電体平面の間に誘電体ストリップとともに誘電体板を配した誘電体線路であって、請求項1に記載のとおり、誘電体板に、誘電体線路を伝搬する周波数信号が遮断される広さを有し、誘電体ストリップの内部の位置をスロット線路とする接地導体を形成し、前記接地導体の、前記スロット線路の端部となる位置に、該スロット線路および前記誘電体ストリップの電磁界に結合する線路変換導電体パターンを設け、前記スロット線路を跨いで半導体素子を配置する。この構成により、誘電体ストリップを伝搬するLSMモードのRF信号は線路変換導電体パターンに結合し、TEモードに変換されてスロ

ット線路を伝搬する。このスロット線路を伝搬する信号が半導体素子に入力される。逆に、半導体素子から出力される信号はスロット線路を伝搬し、その端部に設けた線路変換導電体パターンを介して誘電体ストリップを伝搬するLSMモードのRF信号に変換される。このように半導体素子を用いた回路は誘電体ストリップ内部の誘電体板上に構成することができるので、外部回路を設けた場合に生じる、誘電体線路と外部回路との寄生カップリングがなくなり、誘電体ストリップと半導体素子との接続部の伝送損失も最小限に抑えられる。さらに、誘電体板上の接地導体や線路変換導電体パターンは通常のプリント配線基板の製造方法と同様の技術で製造できるので、製造コストも抑えられる。

【0007】また、この発明の誘電体線路は、請求項2に記載のとおり、前記スロット線路の両端となる位置に前記線路変換導電体パターンを設け、前記スロット線路の略中央に前記半導体素子を配置する。これにより誘電体板上に設けた接地導体の作用により、その部分で誘電体線路を伝搬する周波数信号（RF信号）が遮断され、連続する誘電体ストリップでありながら2つの誘電体線路が構成される。そしてその2つの誘電体線路が半導体素子を介して接続されることになる。したがって上記半導体素子として例えばFET等を用いれば増幅回路を備えた誘電体線路を容易に構成できるようになる。

【0008】また、この発明の誘電体線路は請求項3に記載のとおり、前記線路変換導電体パターンと前記半導体素子との間のインピーダンス整合をとる $\lambda/4$ ショートスタブを前記スロット線路の途中に設ける。これにより線路変換導電体パターンと半導体素子とのインピーダンス整合がとられ、スロット線路と半導体素子との接続部の伝送損失が抑えられる。

【0009】また、この発明の誘電体線路は、請求項4に記載のとおり、前記線路変換導電体パターンと前記スロット線路との間に、インピーダンス整合回路を設ける。これにより線路変換導電体パターンおよび誘電体線路とスロット線路とのインピーダンス整合がとられ、不要な反射が抑えられると共に、線路変換に伴う伝送損失が抑えられる。

#### 【0010】

【発明の実施の形態】この発明の第1の実施形態である、増幅回路を備える誘電体線路の構成を図1～図3を参照して説明する。

【0011】図1はその主要部の構造を示す図であり、（A）は上部の導電体板および上部の誘電体ストリップを取り除いた状態での平面図、（B）は断面図である。この例では、（B）に示すように、平行な2つの導電体平面を成す導電体板1，2にそれぞれ溝を形成し、それぞれの溝に誘電体ストリップ3a，3bを嵌め込むと共に、誘電体ストリップ3a，3bの間に誘電体板4を挟み込ませている。これによりNRDガイド（以下、単に

「誘電体線路」という。)を構成している。同図の  
 (A)に示すように、誘電体板4の上面には誘電体線路  
 を伝搬するRF信号が遮断されるに要する幅Wの接地導  
 体5a、5bを形成している。例えば60GHz帯であ  
 れば、Wを1mm以上にする。この接地導体5a、5b  
 は、その対向部分で、誘電体ストリップの中央の軸方向  
 にスロット線路6を構成している。このスロット線路6  
 の幅は設計する線路の特性インピーダンスによって決め  
 る。例えば0.05~0.5mmの幅で、120~300  
 $\Omega$ の特性インピーダンスが得られる。スロット線路6の  
 10 端部には、誘電体ストリップ3a、3bによる誘電体線  
 路の電磁界およびスロット線路6の電磁界に結合する線  
 路変換導電体パターン7a、7b、8a、8bをそれぞ  
 れ形成している。この例では、線路変換導電体パターン  
 7a、7bおよび8a、8bはそれぞれダイポールアン  
 テナ形状を成している。この線路変換導電体パターンの  
 配線抵抗を下げて変換ロスを減らすため、スロット線路  
 6の端部に対する線路変換導電体パターンの付け根部分  
 は、Rで示すように、接地導体5a、5bから線路変換  
 導電体パターンへ行くほど緩やかに細くなるパターンと  
 20 している。図中11はFETであり、スロット線路6の  
 中央でスロット線路6を跨ぐ位置にマウントしている。  
 このFET11と線路変換導電体パターン7a、8bと  
 の間にはスロット線路6に対して垂直方向に一定長さの  
 切り込み状のパターンを形成して、これにより $\lambda/4$ シ  
 ョートスタブ14、15を設けている。この $\lambda/4$ シ  
 ョートスタブ14、15は線路変換導電体パターンとFET  
 との間のインピーダンス整合をとる。また、FET1  
 1の端子が接続される位置から誘電体ストリップ3a、  
 3bの外側へゲート端子12およびドレイン端子13を  
 30 それぞれ引き出している。  
 【0012】図2は図1に示したFET11およびその  
 マウント部分の構成を示す図であり、(A)はFET1  
 1の平面図、(B)はFET11がマウントされる部分  
 の誘電体板の平面図である。(A)に示すように、FET  
 11は25、26で示す活性層を備え、この部分にそれ  
 ぞれMES-FETを形成し、ソース端子21、2  
 2、ゲート端子23、ドレイン端子24をそれぞれ引き  
 出している。クロスハッチング部分はバイアホール形成  
 部であり、チップの裏面側に各端子を導出している。同  
 図の(B)において16、17は、接地導体5a、5b  
 により形成したスロット線路6をそれぞれ2つに分岐さ  
 せると共にスロット線路との結合をとるゲート接続導  
 体およびドレイン接続導体である。図1に示した誘電体  
 板上のゲート端子12およびドレイン端子13にはそれぞ  
 れゲートバイアス電圧およびドレイン電圧が印加され  
 ることにより、FET11は相補型増幅回路を構成する。  
 図中の矢印はスロット線路を伝搬する信号の電界分布を  
 示している。図において上方から下方へ誘電体線路を伝  
 搬するLSMモードの信号は、図1に示した線路変換導

電体パターン7a、7bを介してモード変換され、TE  
 モードでスロット線路6を伝搬し、FET11のソース  
 ゲート間に電圧信号として印加される。そしてソース  
 ドレイン間の電圧信号がTEモードとして再びスロット  
 線路6を伝搬し、図1に示した線路変換導電体パターン  
 8a、8bを介して誘電体線路をLSMモードで伝搬す  
 ることになる。

【0013】図3は線路変換導電体パターン部分の他の  
 形状を示す図である。(A)は接地導体5a、5bによ  
 り構成したスロット線路6の端部と線路変換導電体パ  
 ターン7a、7bとの間に、9a、9bで示すように、長  
 さが $\lambda/4$ で幅の異なるスロット線路を構成し、線路変  
 換導電体パターン7a、7bとスロット線路6との間で  
 反射をなくして、線路変換導電体パターン7a、7bお  
 よび誘電体線路とスロット線路6との整合をとってい  
 る。(B)に示す例では、9a、9bで示すように、 $\lambda$   
 /2以上の長さで緩やかにスロットの幅を変えて、線路  
 変換導電体パターン7a、7bおよび誘電体線路とスロ  
 ット線路6とのインピーダンス整合をとっている。

【0014】次に、第2の実施形態であるVCOの周波  
 数可変部を備える誘電体線路の構成を図4に示す。

(A)は上部の導電体板および上部の誘電体ストリップ  
 を取り除いた状態での平面図、(B)は断面図である。  
 第1の実施形態と同様に、(B)に示すように、平行な  
 2つの導電体平面を成す導電体板1、2にそれぞれ溝を  
 形成し、それぞれの溝に誘電体ストリップ3a、3bを  
 嵌め込むと共に、誘電体ストリップ3a、3bの間に誘  
 電体板4を挟み込ませてNRDガイドを構成している。  
 同図の(A)に示すように、誘電体板4の上面には誘電  
 体線路を伝搬するRF信号が遮断されるに要する幅の接  
 地導体5a、5bを形成し、この接地導体5a、5bの  
 対向部分で、誘電体ストリップの中央の軸方向にスロ  
 ット線路6を構成している。また、このスロット線路6  
 の端部に誘電体ストリップ3a、3bによる誘電体線路の  
 電磁界およびスロット線路6の電磁界に結合する線路変  
 換導電体パターン7a、7bを形成している。スロット  
 線路6には、それを跨ぐ位置に可変容量ダイオード31  
 をマウントしている。この構成により、図において下方  
 から上方へ誘電体線路を伝搬する信号が線路変換導電  
 体パターン7a、7bに結合し、スロット線路6を伝搬す  
 る。可変容量ダイオード31の静電容量は、接地導体5  
 a-5b間に印加される制御電圧によって変化する。可  
 変容量ダイオード31の後方(図における上方)には終  
 端素子32をマウントし、さらにその後方には、33で  
 示すように、接地導体5a、5b間のスロット幅を狭く  
 すると共に、その対向距離を長くしてミアンダ状のDC  
 阻止回路を形成している。したがって、スロット線路を  
 伝搬するRF信号は終端素子32およびDC阻止回路3  
 2によって終端される。一方、誘電体線路を伝搬するRF  
 50 信号は接地導体5a、5b部分で阻止される。尚、ミア

ンダ状のDC阻止回路33は誘電体線路に強く結合するため、誘電体線路を伝搬するRF信号を効果的に阻止する。この回路を発振回路に組み合わせれば、電圧制御発振回路を構成することができる。例えば、発振回路も図4の(A)に示したものと同様に、誘電体板4の上面に接地導体およびスロット線路を構成し、そのスロット線路の端部に誘電体ストリップ3a, 3bによる誘電体線路の電磁界およびスロット線路の電磁界に結合する線路変換導電体パターンを形成し、スロット線路を跨ぐ位置に発振ダイオードをマウントすればよい。

【0015】このように、比較的高い特性インピーダンスを有する誘電体線路のモードを可変容量ダイオードのインピーダンスに近い特性インピーダンス(100~200Ω)を有するスロット線路のモードに変換するようにしたため、可変容量ダイオードのインピーダンス可変幅が大きくなり、周波数可変幅を大きくとることができる。

【0016】尚、図4に示した例では、終端素子32とDC阻止回路33の両方を設けたが、いずれか一方のみを設けるようにしてもよい。

【0017】次に、第3の実施形態であるミキサ回路を備える誘電体線路の構成を図5~図7を参照して説明する。

【0018】図5の(A)は上部の導電体板および上部の誘電体ストリップを取り除いた状態での平面図、

(B)は断面図である。平行な2つの導電体平面を成す導電体板1, 2にそれぞれ溝を形成し、それぞれの溝に誘電体ストリップ3a, 3bを嵌め込むと共に、誘電体ストリップ3a, 3bの間に誘電体板4を挟み込ませてNRDガイドを構成する点は第1の実施形態と同様である。同図の(A)に示すように、誘電体板4の上面には誘電体線路を伝搬するRF信号が遮断されるに要する幅の接地導体5a, 5bを形成し、この接地導体5a, 5bの対向部分で、誘電体ストリップの中央の軸方向にスロット線路6を構成している。また、このスロット線路6の端部に誘電体ストリップ3a, 3bによる誘電体線路の電磁界およびスロット線路6の電磁界に結合する線路変換導電体パターン7a, 7bを形成している。スロット線路6には、それを跨ぐ位置にミキサダイオード34をマウントしている。このミキサダイオード34のアノード端子が接続される位置からIF端子35を引き出している。また、その引出し部分と接地導体5aとでコプレーナラインを構成するとともにRFチョーク37を形成している。

【0019】図6は図5に示したミキサダイオード34の構成を示す図である。アノード電極41の下部にショットキーバリアの接合層44を形成するとともに、アノード端子38およびカソード端子39をそれぞれ引き出している。またキャパシタ電極41', 42を設けて、容量結合端子40を引き出している。(A)にお

るクロスハッチング部分にはバイアホールを形成していて、チップの裏面で誘電体板上の各電極に接続する。

【0020】図7は上記ミキサダイオード34をマウントする誘電体板上の部分平面図である。図6に示したアノード端子38はIF端子用線路36に、容量結合端子40は接地導体5aに、カソード端子39は接地導体5bにそれぞれ接続する。このようにして、スロット線路6を伝搬する信号(RF信号とLO信号の混合信号)はミキサダイオードのアノード-カソード間に、キャパシタ電極による静電容量を介して印加され、 $|f_{RF}-f_{LO}|$ のIF信号がIF端子35から取り出されることになる。

【0021】このように、RF信号およびLO信号は誘電体線路の内部に閉じ込められた状態で周波数変換を行うので、変換損を低減することができる。また、コプレーナラインでIF信号を出力するようにしたため、他のマイクロ波回路との接続が容易である。

【0022】尚、上述した各実施形態では、スロット線路の端部にダイポールアンテナ状の線路変換導電体パターンを形成した例を示したが、図8に示すように、スロット線路端部の片側の接地導体にのみ線路変換導電体パターンを形成するようにしてもよい。図8の例は、第1の実施形態で示した増幅回路を有する誘電体線路の変形例であり、いずれも接地導体5b側にのみ線路変換導電体パターン7, 8を形成している。

【0023】

【発明の効果】請求項1に記載の発明によれば、半導体素子を用いた回路は誘電体ストリップ内部の誘電体板上に構成することができるので、外部回路を設けた場合に生じる、誘電体線路と外部回路との寄生カップリングがなくなり、誘電体ストリップと半導体素子との接続部の伝送損失も最小限に抑えられる。さらに、誘電体板上の接地導体や線路変換導電体パターンは通常のプリント配線基板の製造方法と同様の技術で製造できるので、製造コストも抑えられる。

【0024】請求項2に記載の発明によれば、誘電体板上に設けた接地導体の作用により、その部分で誘電体線路を伝搬する周波数信号(RF信号)が遮断され、連続する誘電体ストリップでありながら2つの誘電体線路が構成され、その2つの誘電体線路が半導体素子を介して接続されることになるため、例えばFET等を用いて増幅回路を備えた誘電体線路を容易に構成できるようになる。

【0025】請求項3に記載の発明によれば、線路変換導電体パターンと半導体素子とのインピーダンス整合がとられ、スロット線路と半導体素子との接続部の伝送損失が抑えられる。

【0026】また、請求項4に記載の発明によれば、線路変換導電体パターンおよび誘電体線路とスロット線路とのインピーダンス整合がとられ、不要な反射が抑えら

れると共に、線路変換に伴う伝送損失が抑えられる。

【図面の簡単な説明】

【図 1】第 1 の実施形態に係る増幅回路を備えた誘電体線路の構成を示す図である。

【図 2】FET およびそのマウント部分の構成を示す図である。

【図 3】線路変換導電体パターンの他の例を示す図である。

【図 4】第 2 の実施形態に係る VCO の周波数可変部を備える誘電体線路の構成を示す図である。

【図 5】第 3 の実施形態に係るミキサ回路を備える誘電体線路の構成を示す図である。

【図 6】ミキサダイオードの構成を示す図である。

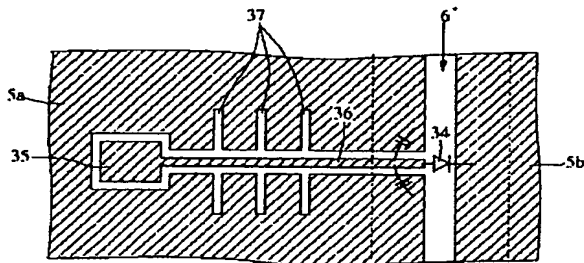
【図 7】誘電体板上のパターンとミキサダイオードとの接続関係を示す図である。

【図 8】線路変換導電体パターンの他の形状を示す図である。

【符号の説明】

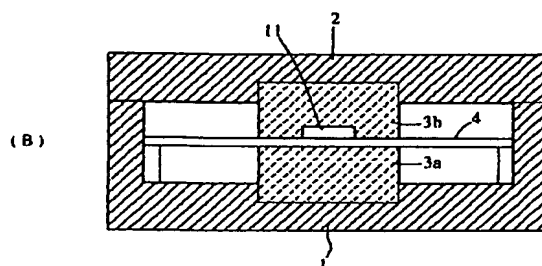
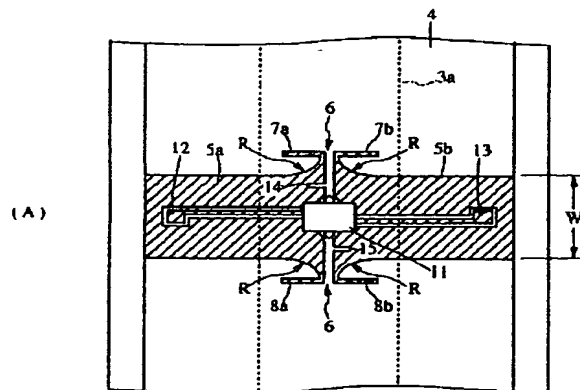
- 1, 2—導電体板  
3a, 3b—誘電体ストリップ  
4—誘電体板  
5a, 5b—接地導体  
6—スロット線路  
7, 7a, 7b, 8, 8a, 8b—線路変換導電体パターン  
9a, 9b—インピーダンス整合回路

【図 7】

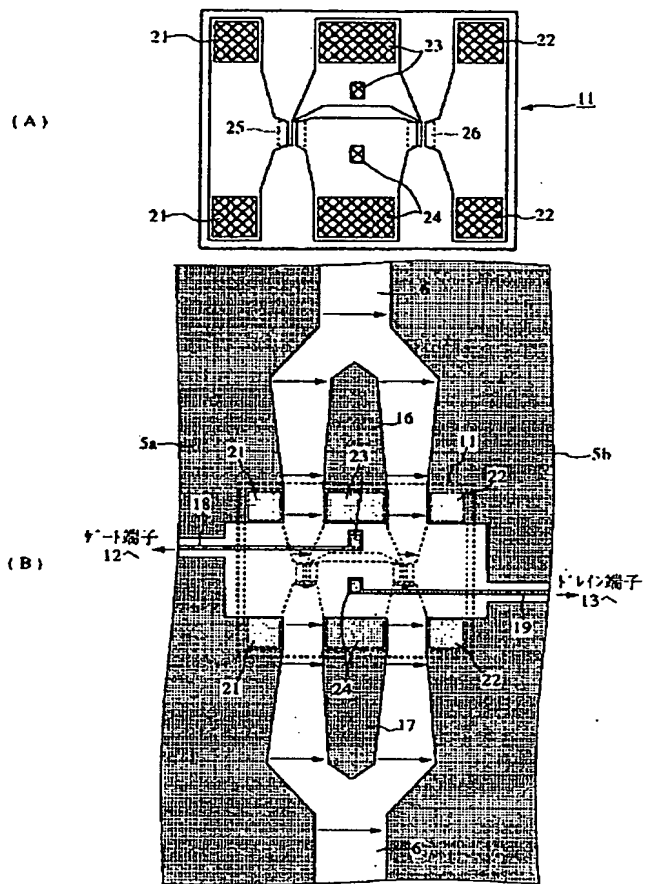


- 11—FET  
12—ゲート端子  
13—ドレイン端子  
14, 15—ショートスタブ  
16—ゲート接続導体  
17—ドレイン接続導体  
18—ゲート端子用線路  
19—ドレイン端子用線路  
21, 22—ソース端子  
23—ゲート端子  
24—ドレイン端子  
25, 26—活性層  
31—可変容量ダイオード  
32—終端素子  
33—DC 阻止回路  
34—ミキサダイオード  
35—I F 端子  
36—I F 端子用線路  
37—RF チョーク  
38—アノード端子  
39—カソード端子  
40—容量結合端子  
41', 42—キャパシタ電極  
41—アノード電極  
43—カソード電極  
44—接合層

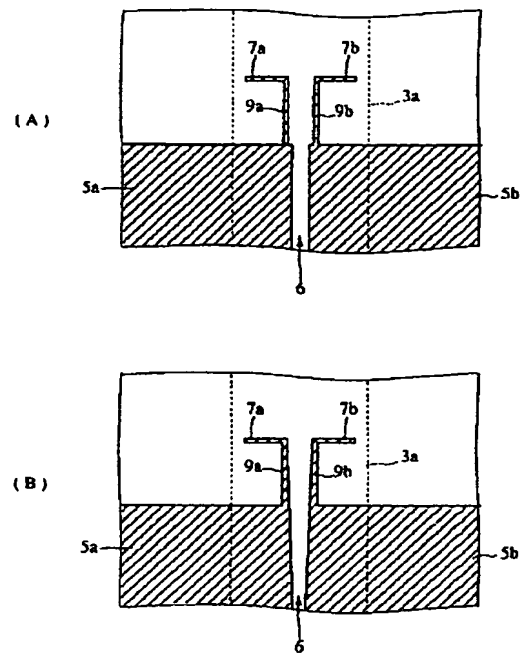
【図 1】



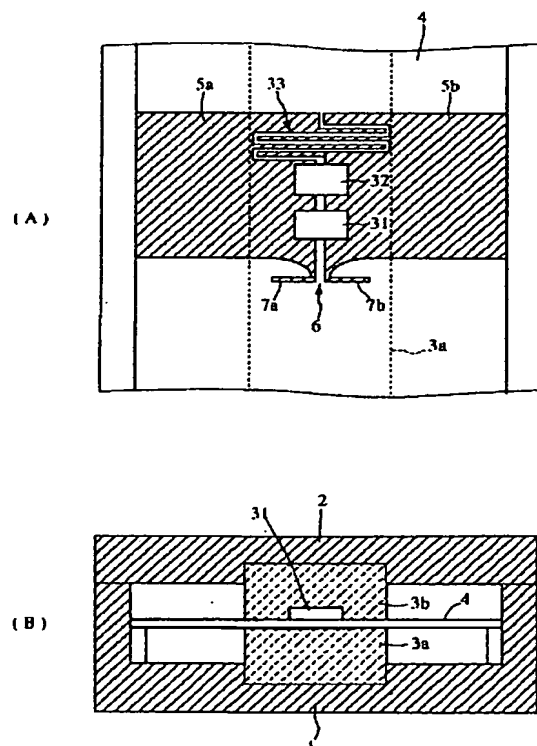
【図2】



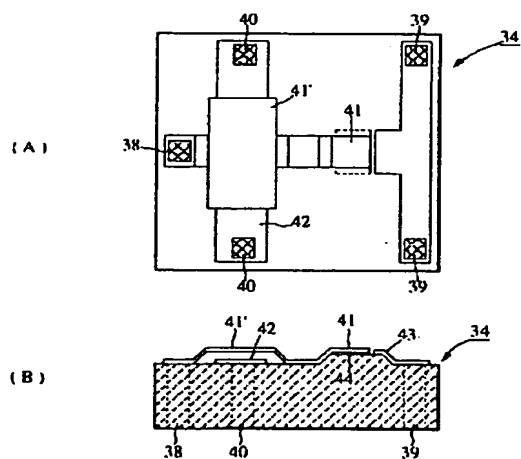
【図3】



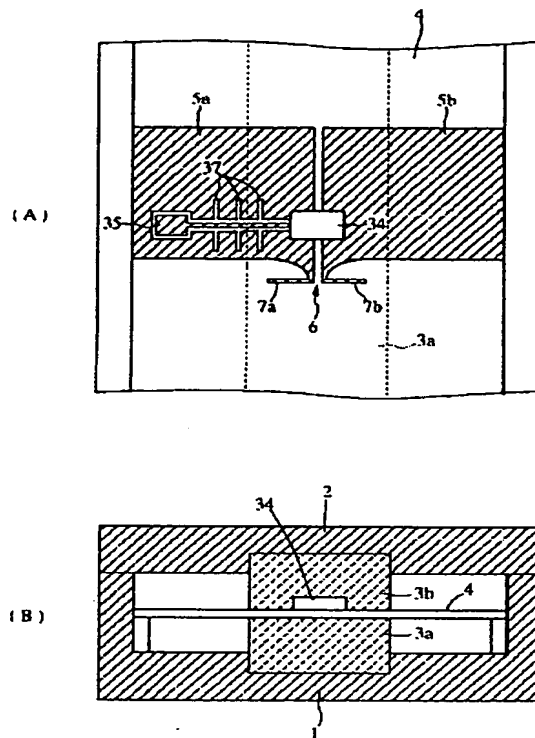
【図4】



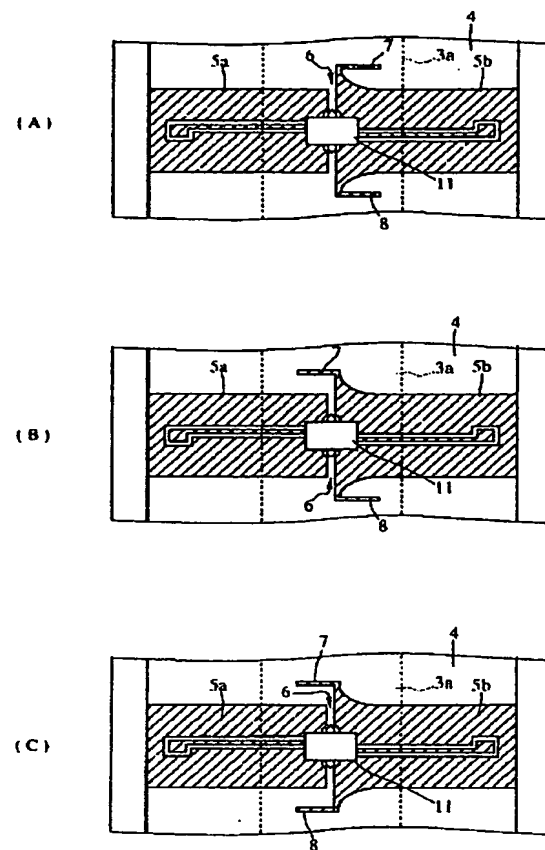
【図6】



【図5】



【図8】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

H03F 3/68

識別記号

F I

H03F 3/68

B

(72) 発明者

梶川 武久

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(56) 参考文献

特開 平10-22864 (J P, A)

特開 平10-22705 (J P, A)

特開 平9-23109 (J P, A)

特開 平9-219601 (J P, A)

特開 平9-102706 (J P, A)

特開 平9-83216 (J P, A)

特開 平5-63410 (J P, A)

実開 昭60-17003 (J P, U)

1996年電子情報学会エレクトロニクス  
ソサエティ大会 C-28

1996年電子情報学会エレクトロニクス  
ソサエティ大会 C-40

1996年電子情報通信学会総合大会 C  
-169

(58) 調査した分野 (Int. Cl. 7, DB 名)

H01P 5/08

H01P 3/16

H01P 5/02 607

H03F 3/60

H03F 3/68

J I C S T ファイル (J O I S)